

**BEST AVAILABLE COPY**

EXPRESS MAIL NO. EV529827998US  
USAN: 10/617,147



**Europäisches  
Patentamt**

**European  
Patent Office**

**Office européen  
des brevets**

**Bescheinigung**

**Certificate**

**Attestation**

Die angehefteten Unterla-  
gen stimmen mit der  
ursprünglich eingereichten  
Fassung der auf dem näch-  
sten Blatt bezeichneten  
europäischen Patentanmel-  
dung überein.

The attached documents  
are exact copies of the  
European patent application  
described on the following  
page, as originally filed.

Les documents fixés à  
cette attestation sont  
conformes à la version  
initialement déposée de  
la demande de brevet  
européen spécifiée à la  
page suivante.

**Patentanmeldung Nr.    Patent application No.    Demande de brevet n°**

02425456.7

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

**R C van Dijk**

**BEST AVAILABLE COPY**

**THIS PAGE BLANK (USPTO)**



Anmeldung Nr:  
Application no.: 02425456.7  
Demande no:

Anmeldetag:  
Date of filing: 10.07.02  
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.  
Via C. Olivetti, 2  
20041 Agrate Brianza (Milano)  
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:  
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.  
If no title is shown please refer to the description.  
Si aucun titre n'est indiqué se referer à la description.)

Process and device for reducing bus switching activity and computer program  
product therefor

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)  
revendiquée(s)  
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/  
Classification internationale des brevets:

G06F13/00

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of  
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL PT SE SK TR

Bemerkungen:

Remarks:

Remarques:

See page 1 of the description for the original title

**THIS PAGE BLANK (USPTO)**

**"Procedimento e dispositivo per ridurre l'attività di commutazione sui bus e relativo prodotto informatico"**

\* \* \*

5        Campo dell'invenzione

La presente invenzione si riferisce alle tecniche per controllare l'attività di commutazione (Switching Activity o SA) sui bus, tanto di tipo ampio (wide) quanto di tipo stretto (narrow).

10       Descrizione della tecnica nota

La riduzione dell'attività di commutazione totale sui bus è un tema a cui è stata dedicata un'estesa attività di ricerca. Questo con l'obiettivo principale di ridurre l'assorbimento di energia e, in generale, di evitare i fenomeni negativi legati al comportamento capacitivo della struttura fisica del bus.

Una tecnica spesso utilizzata è quella di codificare il flusso dei dati di ingresso con una legge di codifica invertibile, quindi suscettibile di essere decodificata.

La tecnica correntemente denominata "Bus Inverted" (BI) è la tecnica più utilizzata, sia per la sua facilità di attuazione, sia per le buone prestazioni, soprattutto nel caso in cui il numero complessivo di linee del bus è ridotto. Questo procedimento è anche utile nel caso di bus asincroni.

Scopi e sintesi dell'invenzione

La presente invenzione si prefigge lo scopo di fornire una soluzione perfezionata per la riduzione dell'attività di commutazione sui bus.

Secondo la presente invenzione, tale scopo viene raggiunto grazie ad un procedimento avente le caratteristiche richiamate in modo specifico nelle rivendicazioni che seguono. L'invenzione riguarda anche il relativo dispositivo nonché un prodotto informatico

direttamente caricabile nella memoria di un processore digitale associato ad un bus, il prodotto informatico comprendendo porzioni di codice software suscettibili di implementare il procedimento secondo l'invenzione  
5 quando il prodotto informatico viene eseguito su un processore digitale associato ad un bus.

In sostanza, la soluzione secondo l'invenzione si basa sulla soluzione di commutare (switch) le linee di ingresso sulla base di una particolare "configurazione  
10 di assortimento" (o "sorting pattern"). In modo preferito, la configurazione o pattern migliore è scelta in modo tale da dare origine ad un valore minimo di differenza (in termini di attività di commutazione) fra la trasmissione corrente o presente  $B(t)$  e la  
15 precedente  $B(t-1)$ .

Breve descrizione dei disegni annessi

L'invenzione verrà ora descritta, a puro titolo di esempio non limitativo, con riferimento ai disegni annessi, nei quali:

20 - la Figura 1 illustra in termini generali i criteri di funzionamento di un modulo funzionale suscettibile di essere utilizzato nell'ambito dell'invenzione,

25 - le Figure 2 e 3 sono ulteriori schemi a blocchi funzionali che illustrano la trasmissione dell'informazione inerente al funzionamento del blocco illustrato nella figura 1,

30 - le Figure 4 e 5 illustrano possibili schemi di implementazione di blocchi funzionali utilizzabili nell'ambito dell'invenzione,

- le Figure 6 a 8 sono vari schemi a blocchi di ricevitori utilizzabili nell'ambito dell'invenzione,

35 - le Figure 9 a 11 illustrano, in modo complementare, corrispondenti strutture di trasmettitore, e

- le Figure 12 e 13 illustrano ulteriori vantaggiosi sviluppi dell'invenzione.

Descrizione particolareggiata di alcuni esempi di attuazione dell'invenzione

5 In termini essenziali, la soluzione secondo l'invenzione si basa sull'impiego di un modulo di scambio o Swap Operator 10 operante secondo i criteri illustrati nella figura 1.

10 Nel seguito, il flusso di dati in ingresso all'operatore 10 all'istante di tempo  $t$  sarà indicato con  $b(t)$ , mentre il corrispondente flusso di dati in uscita sarà indicato con  $B(t)$ . Con  $P_t$  si identificherà in generale la configurazione di assortimento (sorting pattern) attuata dal modulo o blocco di scambio,  
15 indicato complessivamente con 10.

Se i flussi dati sono rappresentati da  $N = 2^n$  bit, il sorting pattern  $P_t$  è rappresentato da  $N$  cifre ciascuna di  $n$  bit. I singoli valori assunti dal sorting pattern sono soltanto  $N!$  ( $N$  fattoriale).

20 Nel caso specifico rappresentato nella figura 1, il flusso di dati in ingresso  $b(t)$  è rappresentato da 0110, mentre il flusso in uscita  $B(t)$  è rappresentato da 1001.

Il sorting pattern (riferito alle posizioni dei  
25 bit in ingresso ed in uscita numerate come 0, 1, 2, 3) ha l'espressione 2-3-0-1.

In altre parole, il pattern 2-3-0-1 significa che:

- il bit di posizione 0 in ingresso diventa il bit di posizione 2 in uscita,
- 30 - il bit di posizione 1 in ingresso diventa il bit di posizione 3 in uscita,
- il bit di posizione 2 in ingresso diventa il bit di posizione 0 in uscita, e
- il bit di posizione 3 in ingresso diventa il bit  
35 di posizione 1 in uscita.

In termini più generali, il modulo di scambio o swap 10 è esprimibile come un operatore  $S$  per cui vale una relazione del tipo

$$B(t) = S(b(t), P_t).$$

5 L'operatore di scambio ammette in generale una funzione inversa  $S^{-1}$ , per cui:

$$b(t) = S^{-1}(B(t), P_t),$$

Le operazioni di scambio diretta ed inversa possono essere realizzate impiegando la stessa  
10 funzione, applicando due pattern diversi collegati da una relazione biunivoca:

$$b(t) = S^{-1}(B(t), P_t) = S(B(t), P_t^{-1}).$$

Da quanto precede si può comprendere che, dato un determinato flusso di dati in ingresso  $b(t)$ , è  
15 possibile effettuare  $N!$  tentativi di misurare l'attività di commutazione (SA) fra i precedenti flussi di dati di uscita  $B(t^{-1})$  ed una determinata funzione di prova "attuale"  $B^-(t)$ .

Ad esempio, la misura dell'attività di  
20 commutazione SA può essere espressa ricorrendo alla distanza di Hamming applicata alla funzione OR esclusivo fra  $B(t-1)$  e  $B^-(t)$ .

$$\min_p SA(p^-) = \min_p H[B(t-1) \oplus B^-(t)] \Rightarrow P_t$$

Ci sono vari gradi di libertà per la scelta di  
25  $B^-(t)$ , ma questa dipende in modo specifico dall'ingresso presente o corrente  $b(t)$  e dal pattern attuale  $P_t$ .

Il trasmettitore demandato alla funzione di trasmettere i bit di uscita sul bus può quindi generare  
30 l'uscita dopo aver effettuato  $N!$  tentativi ed utilizzando infine il pattern  $P_t$  che ha dato origine alla minima attività di commutazione.

Tuttavia, se  $N$  è un numero non piccolo, il numero di passi di prova richiesti diventa piuttosto elevato,  
35 il che obbliga il trasmettitore in questione ad operare

con una frequenza molto maggiore rispetto al clock del bus.

Ne consegue che questa tecnica, di per sé funzionale, può essere utilizzata in modo del tutto  
5 soddisfacente solo con bus con un clock piuttosto lento.

Per superare questo inconveniente è possibile operare con un sottoinsieme di pattern permessi ed utilizzare un'elaborazione in parallelo, il che aumenta  
10 l'area di silicio occupata dal trasmettitore. Inoltre, se il valore di  $N$  è elevato, il numero di bit che rappresentano il pattern  $P_t$  cresce in modo esponenziale.

E' però possibile suddividere un bus ampio di  $N$   
15 bit in un sottoinsieme di bus "piccoli", operanti ciascuno su  $M$  bit, con  $M$  molto minore di  $N$ . Per i vari bus "piccoli" si può allora utilizzare lo stesso pattern e fare la selezione del pattern ottimale in funzione della minima attività di commutazione totale,  
20 dove per totale si intende naturalmente l'attività di commutazione su tutti gli  $N/M$  bus.

Per poter recuperare in modo corretto i dati alla ricezione, il pattern  $P_t$  deve essere trasmesso dal modulo che agisce come trasmettitore al modulo che  
25 agisce come ricevitore rispetto alla trasmissione dei dati sul bus.

Le linee utilizzate per pilotare il modulo di scambio (si consideri sempre come riferimento il modulo di scambio  
30 di scambio 10 della figura 1) che rappresenta il pattern sono  $M \cdot \log_2 M$ , dove si può agevolmente supporre che  $M$  (profondità del cluster) sia una potenza di due.

Un tale numero di linee è in realtà ridondante in quanto risulta necessario rappresentare soltanto  $M!$  stati diversi. Durante la trasmissione i pattern  
35 possono quindi essere "compressi" sul numero di linee

strettamente necessarie per rappresentare  $M!$  valori diversi. Ne consegue che il numero di linee addizionali necessarie a tale scopo è dato dal primo intero maggiore di  $\log_2 M!$ .

5       Prima di utilizzare l'unità di scambio, il decodificatore decompone su  $M \cdot \log_2 M$  bit le linee di ingresso che rappresentano il pattern.

10       I moduli che implementano la funzione di compressione/decompressione sono configurabili come semplici reti logiche combinatorie destinate ad implementare una tavola di verità e che non includono flip-flop.

15       La figura 2 illustra schematicamente, sotto forma di schema a blocchi funzionale, la logica utilizzata per trasmettere e ricevere l'informazione relativa al pattern convogliate su apposite linee addizionali del bus.

20       Nello schema della figura 2, i riferimenti TX e RX indicano rispettivamente il lato di trasmissione e il lato di ricezione rispetto al bus.

25       Il riferimento 12 indica un modulo compressore che, sul lato del trasmettitore TX, comprime i bit rappresentativi del pattern  $P_t$  su  $M \cdot \log_2 M$  bit necessari per trasmettere il pattern sul numero di linee identificato dall'intero maggiore di  $\log_2 M!$  Il riferimento 14 indica invece un modulo di decompressione che, sul lato del ricevitore RX ricostruisce il pattern  $P_t$ .

30       Per la trasmissione dei dati di pattern sulle linee addizionali è possibile utilizzare con vantaggio la tecnica bus inverted. La riduzione dell'attività di commutazione conseguibile utilizzando la tecnica bus inverted con poche linee è prossima al 60-70% dell'attività di commutazione complessiva.

35       Naturalmente, al posto della tecnica Bus Inverted (BI)

è possibile utilizzare altre tecniche suscettibili di ridurre l'attività di commutazione delle linee destinate a trasmettere il pattern.

5 L'applicazione della tecnica bus inverted al contesto della figura 2 è rappresentata nella figura 3. Qui parti o elementi identici o equivalenti a quelli già descritti con riferimento alla figura 2 sono stati indicati con gli stessi riferimenti.

10 In aggiunta agli elementi rappresentati nella figura 2, nella figura 3 sono presentati due ulteriori moduli 16 e 18, preposti alla funzione di bus inverting rispettivamente in fase di trasmissione (modulo 16) e di ricezione (18) rispetto alle linee addizionali del bus.

15 In precedenza, si è spiegato che esistono diversi gradi di libertà per scegliere la funzione di tentativo (attempt function)  $B^{\sim}(t)$ . In realtà il processo di decodifica non risulta sempre semplice da effettuarsi, ed in alcuni casi risulta di fatto impossibile.

20 Nel seguito sono presentati alcuni esempi di funzione di tentativo che si prestano ad essere utilizzati in modo particolarmente vantaggioso vuoi per la loro forma semplice, vuoi per la possibilità di consentire un'agevole decodifica:

25 I.  $B^{\sim}(t) = S(b(t), p^{\sim})$

II.  $B^{\sim}(t) = S(b(t), p^{\sim}) \oplus S^{-1}(b(t-1), p^{\sim})$

III.  $B^{\sim}(t) = S(b(t), p^{\sim}) \oplus S^{-1}(B(t-1), p^{\sim})$

$B^{\sim}(t)$  rappresenta un possibile valore di uscita del trasmettitore, ottenuto applicando agli operatori di scambio o swap il pattern di tentativo ( $P_t$ ) indicato  
30 con  $p^{\sim}$ . Si apprezzerà che, quando  $p^{\sim}$  diventa quello ottimo,  $P_t$  allora  $B(t) = B^{\sim}(t)$ .

Questo spiega perché nella presente descrizione il ruolo di  $p^{\sim}$  è talvolta di fatto confuso con  $P_t$ .

Le esperienze condotte dalla Richiedente, simulando la trasmissione su un bit da 32 bit di file di tipo diverso (Latex, Spice, GCC, JPEG, MP3 e AVI) dimostrano - con riferimento a una profondità di cluster M pari a 4 e con l'impiego di tutti e ventiquattro i pattern possibili - un apprezzabile miglioramento rispetto alle prestazioni conseguibili, in termini di riduzione dell'attività di commutazione SA, con l'impiego della tecnica bus inverted.

Ad esempio, con riferimento ai file considerati in precedenza, la riduzione percentuale dell'attività di commutazione conseguibile con la tecnica Bus Inverted è stata rilevata essere fra 0% e 10,64%.

Utilizzando la prima funzione I vista in precedenza, la riduzione è stata essere fra il 2,74% e il 14,56%. Utilizzando la funzione indicata con II, la riduzione rilevata è stata fra il 3,3% e il 17,72%. Ancora, utilizzando la funzione III, è stata rilevata una riduzione compresa fra 15,5% e 23,16%.

Va sottolineato il fatto che, nel caso delle funzioni I, II e III, nella valutazione è stata presa in considerazione anche l'attività di commutazione prodotta dalle linee aggiuntive utilizzate per la trasmissione del pattern  $P_t$ .

Se si considera un sottoinsieme di pattern ammessi scelti analizzando il traffico medio e selezionando il migliore pattern considerato, si ottiene una riduzione del numero delle linee aggiuntive. Allo stesso tempo, il fatto di ridurre le configurazioni ammesse rispetto ad una soluzione ideale che porta ad una riduzione di copertura con una conseguente degradazione delle prestazioni in termini complessivi.

In modo più specifico, i risultati dimostrano che il guadagno in termini di riduzione dell'attività di commutazione SA può non essere apprezzabile qualora si

scelga un sottoinsieme di pattern senza seguire un criterio preciso.

Se si pilota la scelta di pattern ammessi tramite file di prova e si misurano le ricorrenze dei pattern migliori a partire dall'algoritmo originario, si ottengano risultati diversi.

Ad esempio con  $N = 32$ ,  $M = 4$  confrontando le prestazioni di pattern 4, 8, 16, e 24 bit (completi) con un file Spice, si vede che le migliori prestazioni sono ottenute impiegando 16 pattern.

Con riferimento ai risultati visti in precedenza si può ancora notare che i dati riferiti in precedenza con riferimento alle funzioni I, II e III possono essere ulteriormente migliorati con riferimento a determinati file utilizzando i sedici pattern migliori tramite analisi del traffico medio. Questo anche se per altri file il fatto di ricorrere a questa soluzione non porta ad un miglioramento, anzi ad un lieve peggioramento di prestazioni rispetto a quelle citate in precedenza.

Tutto questo anche se la funzione III continua di gran lunga a dare le migliori prestazioni in termini di riduzione dell'attività di commutazione.

E' anche interessante notare che un miglioramento in termini di prestazioni può dipendere dalla larghezza del bus. Ad esempio, confrontando i risultati ottenibili con la tecnica Bus Inverted con i risultati ottenibili con la funzione III considerata in precedenza, si vede che per un bus avente otto linee le due soluzioni danno risultati pressoché equivalenti. Su bus aventi 32 e 40 linee le prestazioni conseguibili con la funzione III portano ad una riduzione dell'attività di commutazione praticamente doppia rispetto a quella conseguibile con la tecnica Bus Inverted. Nel caso di un bus su 64 linee, la funzione

III vista in precedenza porta ad una riduzione dell'attività di commutazione che è quasi tre volte quella conseguibile con la tecnica Bus Inverted. I risultati riferiti, da interpretarsi peraltro in senso più che altro qualitativo, sono riferiti ad un file Spice.

Lo schema della figura 4 fa vedere una semplice implementazione del modulo di scambio o swapping della figura 1. L'implementazione illustrata è destinata a operare su un solo cluster e prevede l'impiego di M multiplexer (in numero quattro ed indicati rispettivamente con M0, M1, M2, M3 nell'esempio qui illustrato). I multiplexer in questione ricevono in ingresso il segnale  $b(t)$  e attuano la commutazione pilotata dal pattern così da dare origine al segnale  $B(t)$ .

Tale funzione può essere rappresentata come

A = Pattern [1:0],  
B = Pattern [3:2],  
C = Pattern [5:4],  
D = Pattern [7:6]

Lo schema della figura 5 fa vedere come è possibile realizzare una struttura in grado di operare su un bus con un numero di linee pari ad M, dove si suppone che M sia in numero abbastanza elevato. In questo caso, la soluzione descritta prevede di utilizzare K moduli del tipo di quello visto in precedenza indicati con 100, ..., 10 K.

In altre parole questa soluzione corrisponde al fatto di aver suddiviso idealmente un bus "grande" (su M linee) in N bus "piccoli" ciascuno dei quali comprende M/N linee. Questo modo di operare fa sì che i tentativi di selezione del pattern ottimale da attuare sui vari bus "piccoli" siano in numero molto minore rispetto a quelli che si dovrebbero attuare sul bus

"grande" (con M linee). Come già detto, si può in particolare fare in modo che per tutti i bus "piccoli" venga infine utilizzato un unico pattern scelto come il pattern che minimizza l'attività di commutazione totale  
5 al bus.

Così come descritto in precedenza, l'operazione di scambio (swap) diretta e inversa può essere realizzato utilizzando lo stesso modulo ma con diversi pattern di ingresso. Se  $P_t$  rappresenta l'operazione di scambio  
10 diretta, esiste sempre un nuovo pattern  $P_x = P_t^{-1}$  che realizza la funzione di scambio inversa

$$S(b(t), P_t) = S^{-1}(b(t), P_t^{-1}) = S^{-1}(b(t), P_x), \forall b(t)$$

$P_x$  e  $P_t$  sono collegate da una relazione biunivoca, per cui è possibile utilizzare una rete combinatoria  
15 per ottenere  $P_x$  a partire da  $P_t$ .

Ad esempio la tabella qui sotto riprodotta fa vedere diversi valori di  $P_t$  e  $P_x$  quando  $M = 4$ , così da chiarire come si deve realizzare la suddetta rete combinatoria.

20

$P_t$	$P_x$
1-2-3-0	3-0-1-2
1-0-2-3	1-0-2-3
2-1-3-0	3-1-0-2
0-1-3-2	0-1-3-2
2-1-0-3	2-1-0-3
1-3-0-2	2-0-3-1

Come eventuale alternativa, un tale modulo - che può essere definito semplicemente convertitore di pattern o PC - può essere implementato sotto forma di  
25 tabella di look-up (o, in breve, LUT).

Gli schemi delle figure 6, 7 e 8 illustrano la possibile implementazione delle leggi di scambio I, II e III viste in precedenza con l'impiego di un

convertitore di pattern PC al cui ingresso viene portata, ricevuta ad esempio dall'uscita del modulo decompressore 14 delle figure 2 e 3, l'informazione identificativa del pattern  $P_t$ .

5 In particolare, nel caso della funzione I (ed in particolare della sua funzione inversa), ossia

$$B(T) = S(b(t), P_t)$$

$$b(t) = S(B(t), P_x)$$

l'implementazione prevede la presenza di un  
10 singolo modulo 10 del tipo visto in precedenza, in unione al convertitore PC.

Nel caso della funzione II (inversa), ossia

$$B(t) = S(b(t), P_t) \oplus S^{-1}(b(t-1), P_t)$$

$$b(t) = S[(S(b(t-1), P_x) \oplus B(t)), P_x]$$

15 è previsto l'impiego di due moduli 10. Collegati con l'impiego di un nodo di somma 20 (OR esclusivo) e di un flip flop 22 pilotato con un segnale di clock.

Il flip flop 22 è destinato a generare, a partire dal segnale di uscita  $b(t)$  un esemplare ritardato  $b(t-1)$  che, alimentato ad uno dei moduli 10, produce un  
20 segnale destinato ad essere sommato nel nodo di somma 20 (sempre OR esclusivo) al segnale  $B(t)$ . Il segnale derivante dalla somma fatta nel nodo 20 viene alimentato all'altro modulo 10 per generare il segnale  
25 di uscita  $b(t)$ .

Lo schema della figura 8 implementa invece la funzione III vista in precedenza, ossia

$$B(t) = S(b(t), P_t) \oplus S^{-1}(B(t-1), P_t)$$

$$b(t) = S[(S(B(t-1), P_x) \oplus B(t)), P_x]$$

30 Anche in questo caso, in aggiunta a due moduli di scambio 10 sono presenti un nodo di somma 20 (ex-OR) ed un flip flop 22 pilotato da un segnale di clock. In questo caso il flip flop 22 viene utilizzato per generare una replica ritardata, indicata con  $B(t-1)$ ,  
35 del segnale di ingresso  $B(t)$ . La suddetta replica

ritardata viene inviata al primo modulo 10 che riceve in ingresso il segnale  $P_x$  prodotto dal convertitore di pattern PC per generare un segnale destinato ad essere sommato nel nodo 20 con il segnale  $B(t)$ . Il risultato della somma effettuata nel nodo 20 viene alimentata all'altro modulo 10 per produrre, in funzione del pattern  $P_x$  il segnale di uscita  $B(t)$ .

Si apprezzerà che in tutti i circuiti sopra citati non ci sono elementi sequenziali, per cui l'uscita viene presentata con l'unico ritardo dato dai moduli 10.

Per semplicità di esposizione si è preferito illustrare per prime, con riferimento alle figure 6 e 8, alcune possibili forme di implementazione del ricevitore, ossia del circuito che, a partire dal segnale  $B(t)$  ricostituisce il segnale  $b(t)$ .

Restano da illustrare le possibili forme di implementazione dell'architettura del trasmettitore, ossia del circuito che genera il segnale  $B(t)$  a partire dal segnale  $b(t)$ .

La profondità di cluster è sempre qui assunta essere pari a  $M$ , per cui il numero totale dei pattern ammessi continua ad essere pari a  $M!$  unità.

Va peraltro notato che operando con un sottoinsieme di pattern ammessi scelti con un'analisi del traffico medio le prestazioni del sistema non vanno soggette a degrado.

Il problema principale in sede di trasmissione è quello di non lavorare con frequenze molto maggiori della frequenza di clock del bus. Una possibilità di ottimizzazione è offerta dall'impiego di un certo grado di parallelismo nell'architettura del trasmettitore.

Ad esempio, per il caso delle funzioni II e III viste in precedenza (per la funzione I il caso è banale, in quanto il trasmettitore è di fatto identico

al ricevitore della figura 6) è possibile utilizzare lo schema rappresentato nella figura 9, dove i riferimenti 10 indicano moduli di scambio o swap del tipo già descritto in precedenza e i riferimenti PC e 20 indicano, rispettivamente, il convertitore di pattern e un nodo di somma (sempre con carattere di OR esclusivo).

L'insieme di moduli rappresentato nella figura 9, indicato complessivamente con 50, può essere integrato nel sistema più complesso rappresentato nella figura 10.

Lo schema ivi illustrato rappresenta una struttura di trasmettitore in grado di realizzare il calcolo della distanza di Hamming fra la "vecchia" uscita  $B(t-1)$ , presentata su una linea 60, e la funzione di tentativo (attempt function)  $B^t$  calcolata a partire dai valori attuali dell'ingresso  $b(t)$  e del pattern  $P_t$ .

Se la profondità di cluster è  $M$ , il modulo deve realizzare  $M!$  tentativi.

Così come già più volte indicato, è possibile utilizzare un'unità di base che realizza un numero di tentativi  $Q$  inferiore a  $M!$  ricorrendo ad un'implementazione con livello di parallelismo  $(M!)/Q$ .

Il modulo indicato con PG è un modulo generatore di pattern (implementato di solito tramite un semplice circuito FSM) che, in funzione di un segnale di clock portato al suo ingresso, genera  $Q$  pattern da usare a titolo di tentativo alimentandoli al modulo 50. Il modulo di somma 20 ed il modulo indicato con 70 calcolano le differenze fra  $B(t-1)$  e  $B^t$ . E' poi previsto un modulo comparatore di soglia 80 che consente di caricare nuovi valori dei segnali logici indicati `pat_reg`, `out_reg` e `score_reg` solo quando l'uscita del modulo 70 è inferiore rispetto al valore di `score_reg`, vale a dire quando la funzione corrente

$B^{\sim}(t)$  presenta un'attività di commutazione inferiore rispetto alla  $B^{\sim}(t)$  precedente. I riferimenti numerici 90 indicano corrispondenti flip flop.

---

Così i registri presenti nel circuito controllano  
5 il proprio segnale di abilitazione e sono pilotati da un clock veloce ( $\text{clock} \times Q$ ) che  $Q$  è volte più veloce del bus del clock.

L'architettura originaria utilizza un parallelismo di livello 1 con un unico insieme circuitale del tipo  
10 di quello illustrato nella figura 10 dove  $Q = M!$  Ovviamente, se il valore di  $M$  è elevato, la frequenza di lavoro del modulo illustrato può risultare critica, imponendo una frequenza di lavoro troppo elevata.

Lo schema della figura 11 illustra allora una  
15 soluzione architettureale in cui si utilizza un parallelismo di livello  $L = (M!)/Q$  dove si hanno  $L \times$  unità 1000, 1001, 1002, ..., 100 ( $L-1$ ) strutturalmente analoghi allo schema circuitale della figura 10 che operano simultaneamente con diversi insiemi di pattern  
20 utilizzati a titolo di tentativo. L'uscita viene ottenuta tramite un multiplexer 110 all'inizio del ciclo di bus successivo. In sostanza, tramite il multiplexer 110 si sceglie, sotto il controllo di una logica indicata con 111, l'uscita che ha permesso di  
25 ottenere i risultati migliori.

Pur comportando, per effetto dell'impiego di una struttura parallela, un aumento di area occupata e di assorbimento di potenza, la soluzione illustrata nella figura 11 presenta il vantaggio di non dare origine a  
30 ritardi di trasmissione a livello di clock del bus e permette altresì di lavorare con un valore del clock  $\text{clock} \times Q$  prossimo al valore effettivo del clock del bus.

Per ridurre l'attività inutile di  $B(t)$  - che aumenterebbe l'attività di commutazione complessiva -  
35 lo schema circuitale della figura 11 può essere

sottoposto a latching permettendo il campionamento alla fine del Q-esimo ciclo del segnale di clock clockxQ, dal momento in cui il pattern ottimo è disponibile per l'impiego.

5        La soluzione secondo l'invenzione si presta con particolare vantaggio ad essere impiegata nell'ambito dei sistemi denominati SoC (acronimo per System-on-Chip).

10        I migliori risultati sono conseguibili nel ridurre l'attività di commutazione di un bus interno, traendo vantaggio delle condizioni in cui la frequenza del clock del bus non è troppo elevata e la larghezza del bus rilevante e la lunghezza della rete molto estesa.

15        In sostanza, tutti i bus all'interno del chip possono essere sottoposti alla funzione di sorting descritta in precedenza in funzione del parametro

$$\rho = W.L/f_0$$

20        dove  $f_0$  è la frequenza del clock del bus,  $W$  è la larghezza del bus e  $L$  la lunghezza. In sostanza, la soluzione descritta può essere utilizzata con particolare vantaggio sui bus per cui il parametro  $\rho$  vista in precedenza ha un valore elevato.

25        La soluzione secondo l'invenzione può essere utilizzata anche nell'interfacciamento fra due chip, là dove il consumo netto di potenza è rilevante per effetto della dissipazione sui pad esterni e la tecnica descritta è in grado di ridurre la potenza necessaria per pilotare i pin esterni.

30        In generale, è importante programmare tanto il trasmettitore quanto il ricevitore così da operare con sottoinsiemi di pattern ammessi. Questa azione è necessaria in quanto i valori iniziali dei pattern ammessi possono risultare soggetti a modifica con il cambiamento del tipo di traffico. Questa operazione può  
35        essere effettuata tramite programmazione, disabilitando

il sistema trasmettitore/ricevitore. Dopo la (nuova) programmazione il trasmettitore e il ricevitore devono essere nuovamente inizializzati con un segnale di reset.

5        La soluzione secondo l'invenzione consente in particolare di suddividere un bus particolarmente ampio in una pluralità di bus "piccoli" identici. Tutto questo scambiando le linee di un cluster sulla base di un pattern di scambio identico per tutti i cluster,  
10        così da minimizzare l'attività di commutazione totale. La scelta di una particolare funzione di prova dipende in particolare dall'effettivo flusso di ingresso  $b(t)$  e dal pattern di scambio effettivo, potendosi peraltro conseguire una riduzione dei pattern ammessi sulla base  
15        di una misura del traffico medio. Particolarmente vantaggioso risulta ricorrere, in sede di trasmissione, ad un'architettura di tipo parallelo.

      Si apprezzerà quindi che la soluzione secondo l'invenzione si presta ad essere implementata con  
20        particolare vantaggio sotto forma di un prodotto informatico suscettibile di essere caricato in una memoria (tipicamente un insieme di registri) di un processore associato ad un bus. Il suddetto prodotto informatico comprende porzioni di codice software che,  
25        quando il prodotto viene eseguito sul suddetto processore, realizzano i passi del procedimento secondo l'invenzione.

      Naturalmente, fermo restando il principio dell'invenzione, i particolari di realizzazione e le  
30        forme d'attuazione potranno essere ampiamente variati rispetto a quanto descritto ed illustrato, senza per questo uscire dall'ambito dell'invenzione, così come definita dalle rivendicazioni annesse. Ciò vale in particolare per la possibilità, compresa nell'ambito  
35        della presente invenzione, di costruire un apparato che

analizza il traffico fuori linea per scegliere i pattern migliori. Questa soluzione appare almeno potenzialmente conveniente dal punto di vista del risparmio di potenza ed anche per quanto riguarda la  
5 riduzione dell'attività di commutazione sulle linee del bus. Questi vantaggi vanno naturalmente temperati con altre esigenze da tenere in conto in termini di complessità dell'hardware relativo.

Per questo motivo la forma d'attuazione  
10 dell'invenzione al momento preferita prevede di svolgere un'analisi del traffico fuori linea attuata da un elaboratore che, prima della realizzazione del circuito, realizza il calcolo delle relative prestazioni. Ciò può avvenire, ad esempio, tramite  
15 modelli software (ad esempio in linguaggio C++) e/ o con l'impiego di modelli hardware (ad esempio Verilog).

A livello di realizzazione circuitale, la sintesi di un circuito secondo l'invenzione indica che i risultati migliori sono conseguiti per frequenze di bus  
20 sino a 150 MHz con riferimento ad una tecnologia 0.13  $\mu\text{m}$ .

Tale dato può essere ulteriormente perfezionato facendo uso di architetture a massimo livello di parallelismo.

25 Ad esempio, se si fa uso di tutti gli M! pattern, si possono costruire M! unità di calcolo, ognuna delle quali si preoccupa di calcolare il valore di attività di commutazione usando un solo pattern.

Lo schema di figura 12 illustra un'unità di questo  
30 tipo riferita ad una funzione di tentativo del tipo denominato in precedenza III.

Si apprezzerà che lo schema della figura 12 è sostanzialmente simile a quello rappresentato nella figura 10, con la differenza principale data  
35 dall'assenza - nello schema della figura 12 - del

generatore di pattern PG, con i relativi registri e l'unità di soglia associata.

Usando  $M!$  di questi sottomoduli, l'area complessiva occupata dal circuito nel suo complesso  
5 aumenta. Il vantaggio principale di questa soluzione è però dato dal fatto che l'unità rappresentata nella figura 12 non ha bisogno di clock, essendo una rete totalmente combinatoria. Questo fa sì che il trasmettitore possa spingersi ad una frequenza elevata,  
10 sino al limite di quella imposta dalla tecnologia estendendo così il campo di possibile applicazione dell'invenzione.

La figura 13 si riferisce ad uno schema di trasmettitore che fa uso del massimo livello di  
15 parallelismo, dove tutti i  $M!$  moduli (Pat0, Pat1, ..., Pat $M!$ -1) forniscono ciascuno un proprio valore di attività di commutazione SA0, SA1, ..., SA  $M!$ -1.

Una sola unità combinatoria, indicata con MIN, si preoccupa di selezionare il più basso di questi valori pilotando un primo multiplexer MUX1 associato al dato  
20 d'uscita B(t) ed un secondo multiplexer MUX2 associato al pattern di uscita Pt.

Questa soluzione si può applicare anche operando con un sottoinsieme degli  $M!$  pattern ammessi.

### RIVENDICAZIONI

1. Procedimento per trasmettere dati su un bus minimizzando l'attività di commutazione (SA) sul bus stesso, il procedimento comportando la conversione dei  
5 dati fra un primo formato ( $b(t)$ ) ed un secondo ( $B(t)$ ) formato, detto secondo formato essendo utilizzato per la trasmissione su detto bus, caratterizzato dal fatto che:

- la conversione fra detto primo ( $b(t)$ ) e detto  
10 secondo ( $B(t)$ ) formato comporta lo scambio della posizione di rispettivi bit nell'ambito di un cluster comprendente un numero dato di bit, detto scambio essendo suscettibile di essere attuato secondo una pluralità di varianti diverse, il numero massimo di  
15 dette varianti essendo pari al valore fattoriale di detto numero dato, ciascuna di dette varianti essendo identificata da una rispettiva configurazione o pattern di scambio ( $P_t$ ),

- fra dette configurazioni viene selezionata una  
20 configurazione ottimale tale da minimizzare l'attività di commutazione (SA) all'atto della trasmissione dei dati su detto bus, e

- detti dati sono trasmessi su detto bus utilizzando detto secondo formato ( $B(t)$ ) generato  
25 utilizzando detta configurazione o pattern ottimale.

2. Procedimento secondo la rivendicazione 1, caratterizzato dal fatto che comprende le operazioni di:

- generare, a partire da detti dati in detto primo  
30 formato ( $b(t)$ ), una pluralità di insiemi di dati in detto secondo formato ( $B(t)$ ) ottenuti utilizzando una pluralità di dette configurazioni ( $P_t$ ),

- rilevare detta attività di commutazione (SA) in corrispondenza di detta pluralità di insiemi di dati in  
35 detto secondo formato ( $B(t)$ ),

- selezionare, a partire da detta pluralità di insiemi di dati di detto secondo formato  $(B(t))$ , dati di uscita corrispondenti a detta attività di commutazione minima, e

- 5        - selezionare la configurazione o pattern ottimale  $(P_t)$  come corrispondente a detti dati con attività di commutazione minima.

3. Procedimento secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che  
10        comprende le operazioni di:

- considerare detto bus, avente un numero complessivo di linee  $(N)$ , come formato da una pluralità di bus aventi ciascuno un numero di linee  $(M)$  sostanzialmente inferiore al detto numero complessivo  
15         $(N)$ ,

      - identificare una configurazione o pattern di scambio, detta configurazione o pattern di scambio essendo identica per tutti detti bus di detta pluralità.

20        4. Procedimento secondo la rivendicazione 3, caratterizzato dal fatto che comprende l'operazione di selezionare detta configurazione o pattern identico per tutti i bus di detta pluralità come la configurazione o pattern tale da produrre il valore minimo globale di  
25        attività di commutazione  $(SA)$  su tutti i bus di detta pluralità.

5. Procedimento secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che comprende l'operazione di identificare detta  
30        configurazione o pattern ottimale  $(P_t)$  come stringa di dati comprendente un numero dato di bit e l'operazione di trasmettere detta stringa di dati su detto bus.

6. Procedimento secondo la rivendicazione 5, caratterizzato dal fatto che comprende l'operazione di  
35        provvedere linee aggiuntive su detto bus per la

trasmissione di detta stringa di dati identificativa di detta configurazione o pattern ottimale ( $P_t$ ).

7. Procedimento secondo la rivendicazione 6 o la rivendicazione 7, caratterizzato dal fatto che  
5 comprende l'operazione di sottoporre detta stringa di dati identificativa di detta configurazione o pattern ottimale ad una operazione di compressione in vista della trasmissione su detto bus.

8. Procedimento secondo la rivendicazione 7,  
10 caratterizzato dal fatto che detta operazione di compressione di detta stringa di dati identificativa di detta configurazione o pattern è realizzata tramite una tabella di verità.

9. Procedimento secondo una qualsiasi delle  
15 rivendicazione 5 a 8, caratterizzato dal fatto che comprende l'operazione di sottoporre detta stringa di dati identificativa di detta configurazione o pattern ottimale ad elaborazione, preferibilmente del tipo Bus Inverted, in vista della trasmissione su detto bus.

20 10. Procedimento secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che detta configurazione o pattern ottimale ( $P_t$ ) viene selezionata effettuando successivi tentativi di misura dell'attività di commutazione fra una funzione di  
25 tentativo ( $B^{\sim}(t)$ ) ad un istante dato ed un insieme di dati di detto flusso in detto secondo formato rilevato ad un istante anteriore nel tempo ( $B(t-1)$ ).

11. Procedimento secondo la rivendicazione 10, caratterizzato dal fatto che detta attività di  
30 commutazione viene misurata come distanza, preferibilmente come distanza di Hamming, fra detta funzione di tentativo ( $B^{\sim}(t)$ ) ad un istante dato e detto insieme di dati di detto flusso in detto secondo formato rilevato ad un istante anteriore nel tempo  
35 ( $B(t-1)$ ).

12. Procedimento secondo la rivendicazione 9 o la rivendicazione 11, caratterizzato dal fatto che detta funzione di tentativo viene scelta nel gruppo costituito da

- 5           I.    $B^{\sim}(t) = S(b(t), p^{\sim})$   
          II.  $B^{\sim}(t) = S(b(t), p^{\sim}) \oplus S^{-1}(b(t-1), p^{\sim})$   
          III.  $B^{\sim}(t) = S(b(t), p^{\sim}) \oplus S^{-1}(B(t-1), p^{\sim})$

dove:

$B^{\sim}(t)$  è detta funzione di tentativo,

10            $S(.)$  è la funzione di scambio che genera i dati di uscita in detto secondo formato ( $B(t)$ ) in funzione di detti dati di detto primo formato ( $b(t)$ ) e di detta configurazione o pattern ( $P_t$ ), e

$p^{\sim}$  rappresenta il generico pattern di tentativo  
15 per cui, quando  $p^{\sim}$  diventa il pattern ottimo,  $P_t$  allora  $B(t) = B^{\sim}(t)$ .

13. Dispositivo per trasmettere dati su un bus minimizzando l'attività di commutazione (SA) sul bus stesso, il dispositivo essendo configurato per  
20 convertire i dati fra un primo formato ( $b(t)$ ) ed un secondo ( $B(t)$ ) formato, detto formato essendo utilizzato per la trasmissione dei dati su detto bus caratterizzato dal fatto che comprende:

- almeno un modulo di scambio (10) per convertire  
25 detti dati fra detto primo ( $b(t)$ ) e detto secondo ( $B(t)$ ) formato scambiando la posizione di rispettivi bit nell'ambito di un dato cluster comprendente un numero dato di bit, detto scambio essendo suscettibile di essere attuato secondo varianti diverse, il numero  
30 massimo di dette varianti essendo pari al valore fattoriale di detto numero dato, ciascuna di dette varianti essendo identificata da una rispettiva configurazione o pattern ( $P_t$ ),

- almeno un modulo (PC, MIN) per identificare, fra  
35 dette configurazioni, una configurazione o pattern

ottimale tale da minimizzare l'attività di commutazione (SA) all'atto della trasmissione dei dati su detto bus, e

5       - almeno un elemento di trasmissione (TX, RX) per scambiare detti dati su detto bus utilizzando detto secondo formato (B(t)) generato utilizzando detta configurazione o pattern ottimale.

14. Dispositivo secondo la rivendicazione 13, caratterizzato dal fatto che comprende:

10       - primi elementi circuitali (PG, 50) per generare, a partire da detti dati di detto primo formato (b(t)), una pluralità di insiemi di dati in detto secondo formato (B(t)) ottenuti utilizzando una pluralità di dette configurazioni ( $P_t$ ),

15       - secondi elementi circuitali (20, 70) per rilevare detta attività di commutazione (SA) in corrispondenza di detta pluralità di insiemi di dati in detto secondo formato (B(t)), e

20       - terzi elementi circuitali (80) per selezionare, a partire da detta pluralità di insiemi di dati di detto secondo formato (B(t)), dati di uscita corrispondenti a detta attività di commutazione minima, e selezionare la configurazione o pattern ottimale ( $P_t$ ) come corrispondente a detti dati con attività di  
25       commutazione minima.

15. Dispositivo secondo una qualsiasi delle precedenti rivendicazioni 13 a 14, caratterizzato dal fatto che detto bus avente un numero complessivo di linee (N) è configurato come una pluralità di bus  
30       aventi ciascuno un numero di linee (M) sostanzialmente inferiore a detto numero complessivo, e dal fatto che detto almeno un elemento di trasmissione (TX, RX) è configurato per trasmettere detti dati su detta pluralità di bus utilizzando dati in detto secondo  
35       formato (B(t)) generati con una configurazione o

pattern di scambio identica per tutti i bus di detta pluralità.

16. Dispositivo secondo la rivendicazione 15,  
caratterizzato dal fatto detta configurazione o pattern  
5 identico per tutti i bus di detta pluralità è la  
configurazione o pattern tale da produrre il valore  
minimo globale di attività di commutazione (SA) su  
tutti i bus di detta pluralità.

17. Dispositivo secondo una qualsiasi delle  
10 precedenti rivendicazioni 13 a 16, caratterizzato dal  
fatto che detto almeno un convertitore (PC) identifica  
detta configurazione o pattern ( $P_t$ ) attimale come  
stringa di dati comprendente un numero dato di bit e  
detto almeno un elemento trasmettitore (TX) è  
15 configurato per trasmettere detta stringa di dati su  
detto bus.

18. Dispositivo secondo la rivendicazione 17,  
caratterizzato dal fatto che detto bus comprende linee  
aggiuntive per la trasmissione di detta configurazione  
20 o pattern.

19. Dispositivo secondo la rivendicazione 17 o la  
rivendicazione 18, caratterizzato dal fatto che  
comprende almeno un modulo di compressione (12) per  
sottoporre detta stringa di dati che esprime detto  
25 pattern o configurazione ottimale (PC) ad una  
operazione di compressione in vista della trasmissione  
su detto bus.

20. Dispositivo secondo la rivendicazione 19,  
caratterizzato dal fatto che detto modulo di  
30 compressione (12) comprende una tabella di verità.

21. Dispositivo secondo una qualsiasi delle  
rivendicazioni 17 a 20, caratterizzato dal fatto che  
comprende almeno un modulo di elaborazione (16, 18) per  
sottoporre detta stringa di dati identificativa di  
35 detta configurazione o pattern ottimale ad

elaborazione, preferibilmente del tipo Bus Inverted, in vista della trasmissione su detto bus.

22. Dispositivo secondo una qualsiasi delle precedenti rivendicazioni 17 a 21, caratterizzato dal fatto che detti secondi e terzi elementi circuitali (PG, 20, 50, 70) sono configurati per selezionare detta configurazione o pattern ottimale ( $P_t$ ) effettuando successivi tentativi in misura dell'attività di commutazione fra una funzione di tentativo ( $B^{\sim}(t)$ ) ad un istante dato ed un insieme di dati di detto flusso in detto secondo formato rilevato ad un istante anteriore nel tempo ( $B(t-1)$ ).

23. Dispositivo secondo la rivendicazione 10, caratterizzato dal fatto che comprende un modulo di calcolo (H) per calcolare detta distanza come distanza di Hamming.

24. Dispositivo secondo la rivendicazione 22 o la rivendicazione 23, caratterizzato dal fatto che detta funzione di tentativo viene scelta nel gruppo costituito da

I.  $B^{\sim}(t) = S(b(t), p^{\sim})$

II.  $B^{\sim}(t) = S(b(t), p^{\sim}) \oplus S^{-1}(b(t-1), p^{\sim})$

III.  $B^{\sim}(t) = S(b(t), p^{\sim}) \oplus S^{-1}(B(t-1), p^{\sim})$

dove:

$B^{\sim}(t)$  è detta funzione di tentativo,

$S(.)$  è la funzione di scambio che genera i dati di uscita in detto secondo formato ( $B(t)$ ) in funzione di detti dati di detto primo formato ( $b(t)$ ) e di detta configurazione o pattern ( $P_t$ ), e

$p^{\sim}$  rappresenta il generico pattern di tentativo per cui, quando  $p^{\sim}$  diventa il pattern ottimo,  $P_t$  allora  $B(t) = B^{\sim}(t)$ .

25. Dispositivo secondo una qualsiasi delle rivendicazioni 17 a 24, caratterizzato dal fatto di essere organizzato sotto forma di una pluralità di

unità (1000, 1001, ... 100(L-1)) operanti in parallelo su detti dati.

-----26.-----Dispositivo secondo la rivendicazione 25,  
caratterizzato dal fatto che comprende una pluralità  
5 (M!) di unità di calcolo (20, 50, 70) ognuna delle  
quali è configurata per calcolare un rispettivo valore  
di attività di commutazione (SA0, SA1, ..., SA M!-1)  
usando un rispettivo pattern.

27. Dispositivo secondo la rivendicazione 26,  
10 caratterizzato dal fatto che dette unità di detta  
pluralità (M!) è una rete logica combinatoria  
suscettibile di operare in assenza di segnale di clock.

28. Dispositivo secondo la rivendicazione 26 o la  
rivendicazione 27, caratterizzato dal fatto che  
15 comprende un'unità combinatoria (MIN) configurata per  
selezionare il più basso di questi valori di attività  
di commutazione (SA0, SA1, ..., SA M!-1).

29. Dispositivo secondo la rivendicazione 28,  
caratterizzato dal fatto che comprende un primo (MUX1)  
20 ed unsecondo multiplexer (MUX2) pilotati da detta unità  
combinatoria (MIN) e rispettivamente associati al dato  
d'uscita B(t) ed al pattern di uscita Pt.

30. Dispositivo secondo una qualsiasi delle  
rivendicazioni 26 a 29, caratterizzato dal fatto che  
25 dette unità di calcolo (20, 50, 70) di detta pluralità  
sono in numero pari a dette varianti identificate da  
una rispettiva configurazione o pattern (P<sub>t</sub>).

31. Dispositivo secondo una qualsiasi delle  
rivendicazioni 26 a 29, caratterizzato dal fatto che  
30 dette unità di calcolo (20, 50, 70) di detta pluralità  
sono in numero pari ad un sottoinsieme del valore di  
dette varianti identificate da una rispettiva  
configurazione o pattern (P<sub>t</sub>).

32. Prodotto informatico direttamente caricabile  
35 nella memoria di un processore digitale associato ad un

bus, detto prodotto informatico comprendendo porzioni  
di codice software suscettibili di implementare il  
procedimento secondo una qualsiasi delle rivendicazioni  
1 a 12 quando il prodotto informatico viene eseguito su  
5 un processore digitale associato ad un bus.

### RIASSUNTO

Un procedimento per trasmettere dati su un bus minimizzando l'attività di commutazione prevede di convertire i dati fra un primo ( $b(t)$ ) ed un secondo ( $B(t)$ ) formato utilizzato per la trasmissione dei dati. La conversione fra detto primo ( $b(t)$ ) e detto secondo ( $B(t)$ ) formato comporta lo scambio della posizione di rispettivi bit nell'ambito di un cluster comprendente un numero dato di bit, lo scambio essendo suscettibile di essere attuato secondo varianti diverse, il numero massimo di dette varianti essendo pari al valore fattoriale del suddetto numero dato. Ognuna delle suddette varianti è identificata da una rispettiva configurazione o pattern ( $P_t$ ). Si seleziona, fra tali configurazioni, una configurazione ottimale che minimizza l'attività commutazione (SA) all'atto della trasmissione dei dati sul bus. I dati sono quindi trasmessi sul bus utilizzando il secondo formato ( $B(t)$ ) generato utilizzando tale configurazione o pattern ottimale.

(Figura 1)

---

**THIS PAGE BLANK (USPTO)**

Fig. 1

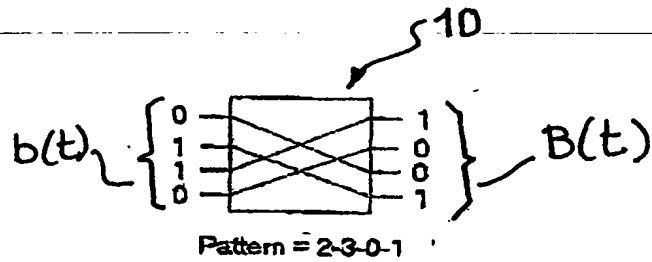


Fig. 2

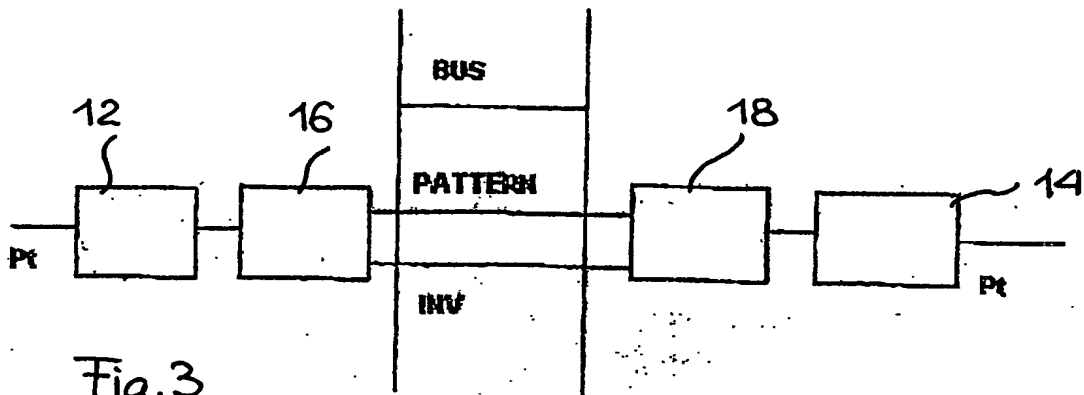
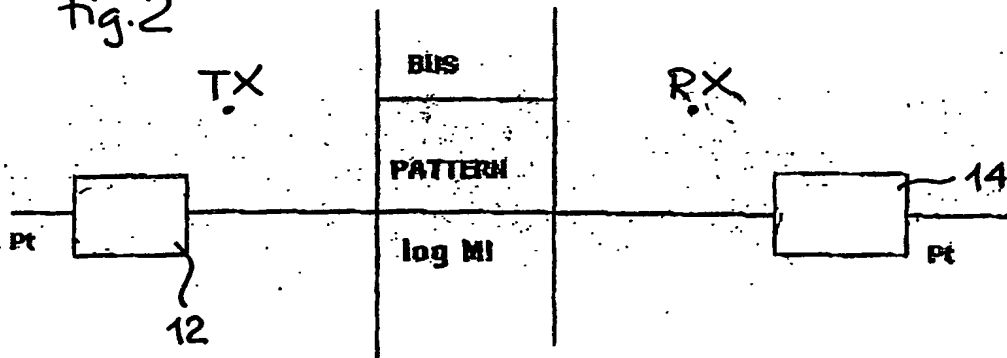
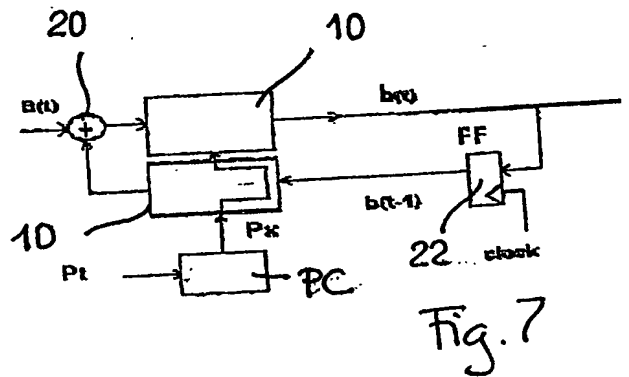
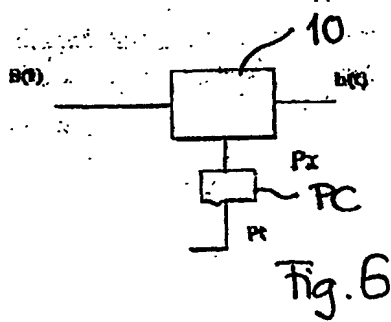
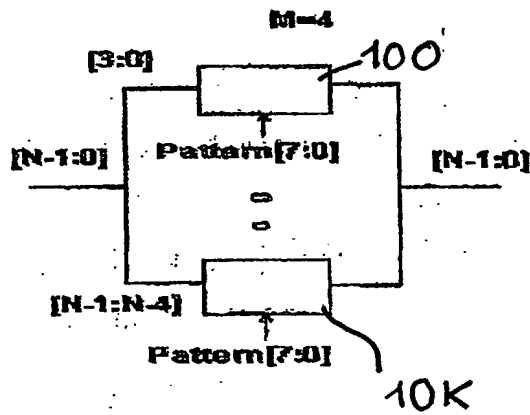
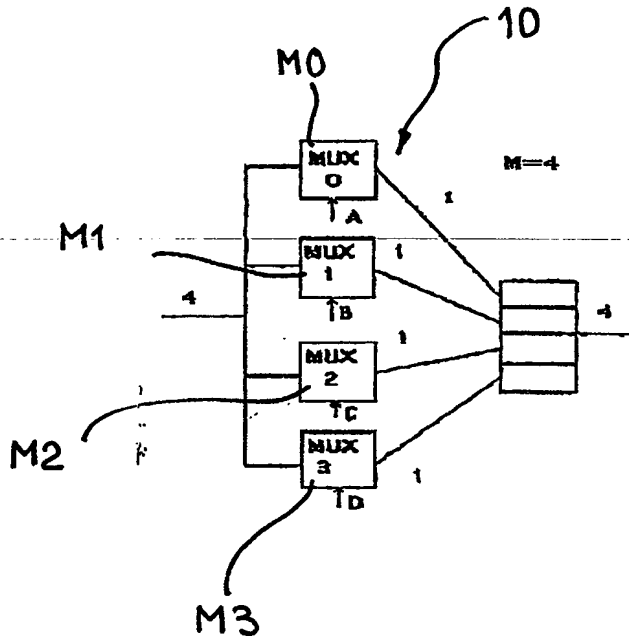
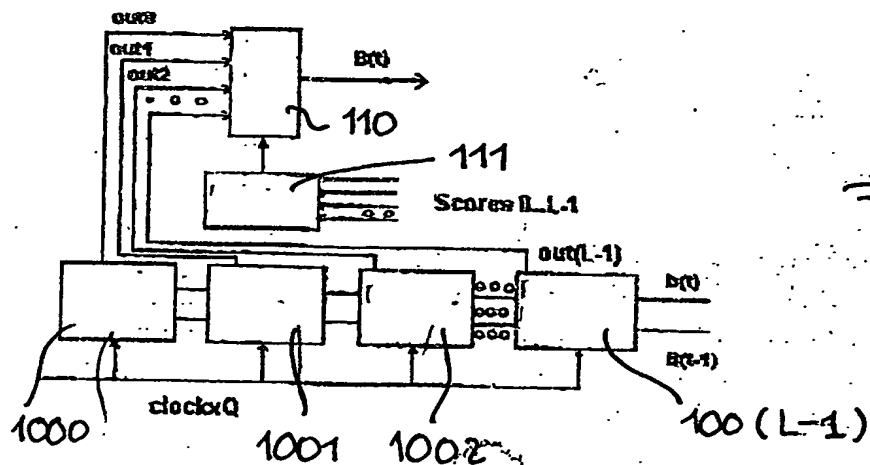
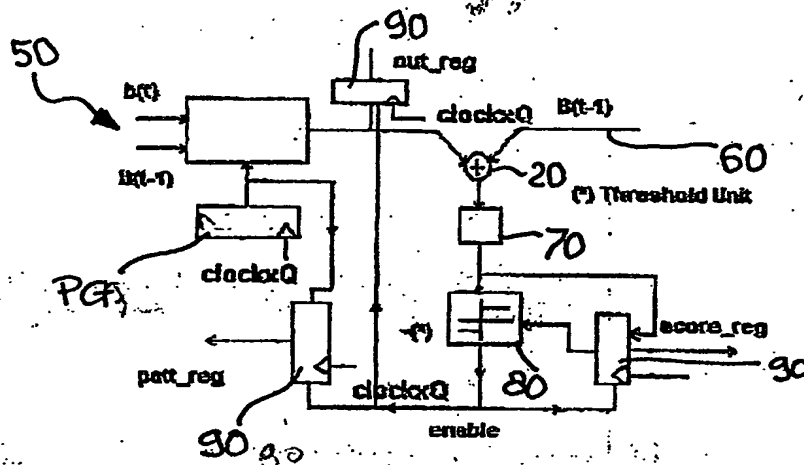
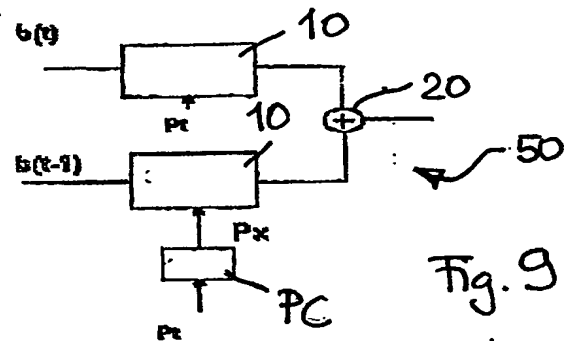
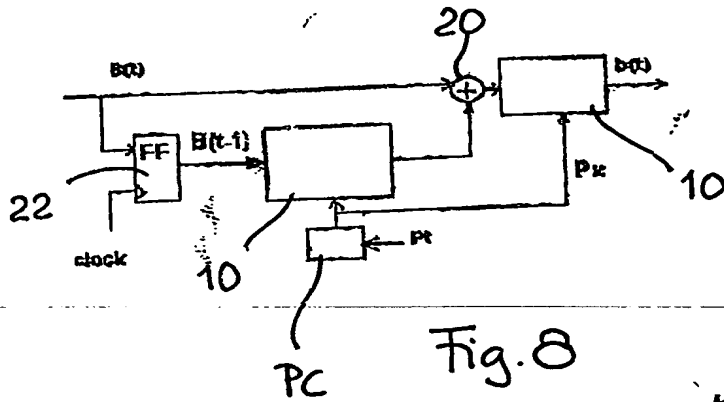
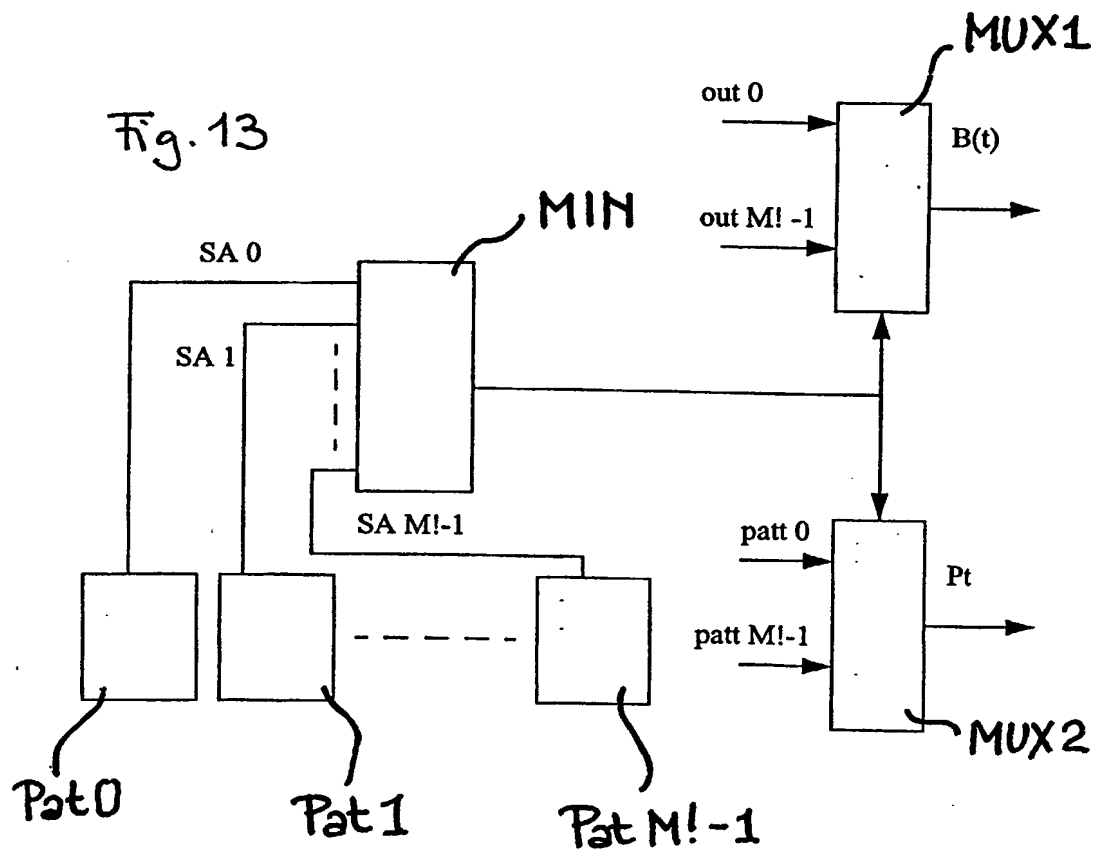
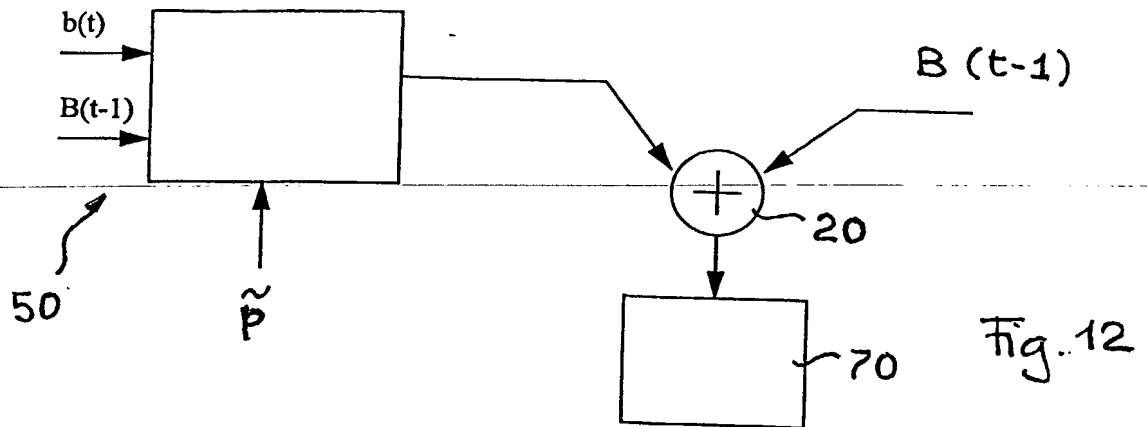


Fig. 3







**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**